

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-155557

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 10-330638

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 20.11.1998

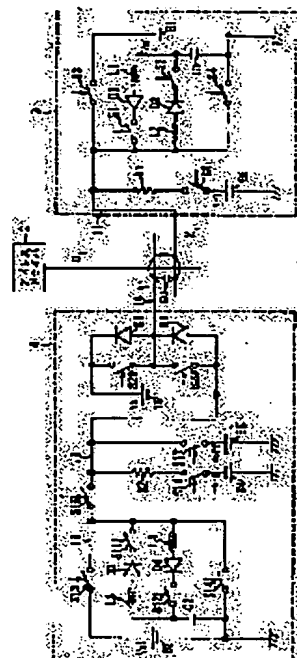
(72)Inventor : IDE SHIGEO  
SUZUKI MASAHIRO

## (54) PDP DRIVE DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To supply a sustain discharge pulse current to a plasma display panel(PDP) in a sustain period without enlarging a circuit scale by electrically applying the output of a sustain discharge driver to the other end of another side switching element when the sustain discharge driver is operated.

**SOLUTION:** An X row electrode driver 3 in the sustain period applies a positive voltage sustain discharge pulse  $IP_x$  to an electrode  $X_j$ . In a Y row electrode driver 4, the switching element S11 is turned on simultaneously when the sustain discharge pulse  $IP_x$  disappears, and the switching element S14 is turned off, and by such a operation, the Y row electrode driver 4 applies the positive voltage sustain discharge pulse  $IP_y$  to the electrode  $Y_j$ . In such a manner, since the sustain discharge pulse  $IP_x$  and the sustain discharge pulse  $IP_y$  are alternately generated to be applied alternately to the electrode  $X_j$ , and the electrode  $Y_j$ , a luminescent discharge cell that a wall charge remains as it repeats discharge luminescence to sustain its luminescent state.



## LEGAL STATUS

[Date of request for examination]

21.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-155557

(P 2 0 0 0 - 1 5 5 5 5 7 A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テラード (参考)
G09G 3/28		G09G 3/28	H 5C080
3/20	611	3/20	A
	624		P

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平10-330638

(22) 出願日 平成10年11月20日 (1998.11.20)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 井手 茂生

山梨県中巨摩郡田富町西花輪2680番地バイ

オニア株式会社ディスプレイセンター内

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地バイ

オニア株式会社ディスプレイセンター内

(74) 代理人 100079119

弁理士 藤村 元彦

Fターム(参考) 5C080 AA05 BB05 DD22 DD27 EE29

FF12 GG12 HH02 HH04 HH05

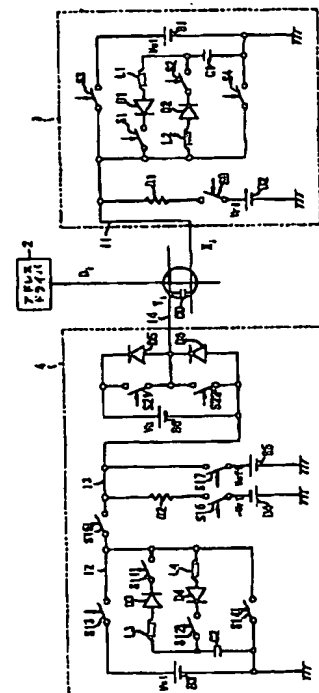
JJ02 JJ03 JJ04

(54) 【発明の名称】 PDP駆動装置

(57) 【要約】

【課題】 回路規模が大きくなることなくサスティン期間にPDP (プラズマディスプレイパネル) へ維持放電パルス電流を供給することができるPDP駆動装置を提供する。

【解決手段】 発光セル及び非発光セルを選択するために行電極対の一方に走査パルスを供給し、行電極対の一方に各々の一端が共通接続された2つのスイッチング素子を有するスキャンドライバと、発光セルのみを発光維持するために行電極対の一方に維持放電パルスを供給する維持放電ドライバとを備え、スキャンドライバの作動時には2つのスイッチング素子のうちの一方の他端に第1電位が印加され、他方のスイッチング素子の他端に第1電位より低く走査パルスの電位に等しい第2電位が印加され、維持放電ドライバの作動時に維持放電ドライバの出力が他方のスイッチング素子の他端に電気的に接続される。



## 【特許請求の範囲】

【請求項1】 複数の行電極対と、前記行電極対に交差して配列されており各交差部に放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを駆動する駆動装置であって、発光セル及び非発光セルを選択するために走査パルスを前記行電極対の一方に供給するスキンドライバと、前記発光セルのみを発光維持するために前記行電極対の一方に維持放電パルスを供給する維持放電ドライバとを備え、

前記スキンドライバは前記行電極対の一方に各々の一端が共通接続された2つのスイッチング素子を有し、前記スキンドライバの作動時には前記2つのスイッチング素子のうちの一方の他端に第1電位が印加され、前記2つのスイッチング素子のうちの他方の他端に前記第1電位より低く前記走査パルスの電位に等しい第2電位が印加され、

前記維持放電ドライバの作動時に前記維持放電ドライバの出力が前記他方のスイッチング素子の他端に電気的に接続されることを特徴とするプラズマディスプレイパネル駆動装置。

【請求項2】 前記スキンドライバは前記一方のスイッチング素子としてのPチャンネルMOSトランジスタと、前記他方のスイッチング素子としてのNチャンネルMOSトランジスタと、前記MOSトランジスタ各々に並列接続されたダイオードとを有することを特徴とする請求項1記載のプラズマディスプレイパネル駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動装置に関する。

## 【0002】

【従来の技術】 PDPは、周知の如く、薄型の平面表示装置として種々の研究がなされており、その1つにマトリクス表示方式のPDPが知られている。図1は、かかるPDPを含んだPDP駆動装置の構成を示す図である。図1において、PDP1には、X及びYの1対にて1画面の各行（第1行～第n行）に対応した行電極対を為す行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ が形成されている。更に、これら行電極対に直交し、かつ図示せぬ誘電体層及び放電空間を挟んで、1画面の各列（第1列～第m列）に対応した列電極を為す列電極 $D_1 \sim D_m$ が形成されている。この際、1組の行電極対と1つの列電極との交叉部に、1画素に対応した放電セルが形成される。

【0003】 アドレスドライバ2は、映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスに変換し、これを1行分毎に、上記列電極 $D_1 \sim D_m$ に印加する。X行電極ドライバ3は、各放電セルの残留壁電荷量を初期化するためのリセットパルス、後述するが如き発光放電セルの放電発光状

態を維持させる為の維持放電パルスを発生し、これらを上記行電極 $X_1 \sim X_n$ に印加する。

【0004】 Y行電極ドライバ4は、上記X行電極ドライバ3と同様に、各放電セルの残留壁電荷量を初期化するためのリセットパルス、発光放電セルの放電発光状態を維持させる為の維持放電パルスを発生し、これらを上記行電極 $Y_1 \sim Y_n$ に印加する。更に、Y行電極ドライバ4は、放電セル内に発生した荷電粒子を再形成させる為のブライミングパルス、並びに各放電セルに対し画素データパルスに応じた電荷量を形成せしめて上記発光放電セル又は非発光放電セルの設定を行う為の走査パルスSPを発生し、これらを行電極 $Y_1 \sim Y_n$ に印加する。

【0005】 図2はX行電極ドライバ3及びY行電極ドライバ4の具体的構成を電極 $X_i$ 及び電極 $Y_j$ について示している。電極 $X_i$ は電極 $X_1 \sim X_n$ のうちの第j行の電極であり、電極 $Y_j$ は電極 $Y_1 \sim Y_n$ のうちの第j行の電極である。電極 $X_i$ と $Y_j$ との間にはコンデンサC0として作用するようになっている。X行電極ドライバ3においては、2つの電源B1、B2が備えられている。電源B1は電圧 $V_{i1}$ （例えば、170V）を出力し、電源B2は電圧 $V_{i2}$ （例えば、190V）を出力する。電源B1の正端子はスイッチング素子S3を介して電極 $X_i$ への接続ライン11に接続され、負端子はアース接続されている。接続ライン11とアースとの間にはスイッチング素子S4が接続されている他、スイッチング素子S1、ダイオードD1及びコイルL1からなる直列回路と、コイルL2、ダイオードD2及びスイッチング素子S2からなる直列回路とがコンデンサC1を共通にアース側に介して接続されている。なお、ダイオードD1はコンデンサC1側をアノードとしており、ダイオードD2はコンデンサC1側をカソードとして接続されている。また、電源B2の正端子はスイッチング素子S8及び抵抗R1を介して接続ライン11に接続され、電源B2の負端子はアース接続されている。

【0006】 Y行電極ドライバ4においては、4つの電源B3～B6が備えられている。電源B3は電圧 $V_{j1}$ （例えば、170V）を出力し、電源B4は電圧 $V_{j2}$ （例えば、190V）を出力し、電源B5は電圧 $V_{j3}$ （例えば、140V）を出力し、電源B6は電圧 $V_{j4}$ （例えば、160V、 $V_{j4} > V_{j3}$ ）を出力する。電源B3の正端子はスイッチング素子S13を介してスイッチング素子S15への接続ライン12に接続され、負端子はアース接続されている。接続ライン12とアースとの間にはスイッチング素子S14が接続されている他、スイッチング素子S11、ダイオードD3及びコイルL4からなる直列回路と、コイルL4、ダイオードD4及びスイッチング素子S12からなる直列回路とがコンデンサC2を共通にアース側に介して接続されている。なお、ダイオードD3はコンデンサC2側をアノードとしており、ダイオードD4はコンデンサC2側をカソード

として接続されている。

【0007】接続ライン12はスイッチング素子S15を介して電源B6の正端子への接続ライン13に接続されている。電源B4の正端子はアース接続され、負端子はスイッチング素子S16、そして抵抗R2を介して接続ライン13に接続されている。電源B5の正端子はスイッチング素子S17を介して接続ライン13に接続され、負端子はアース接続されている。

【0008】また、接続ライン13はスイッチング素子S21を介して電極Y<sub>i</sub>への接続ライン14に接続されている。電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。接続ライン13、14との間にはダイオードD5が接続され、またスイッチング素子S23とダイオードD6との直列回路が接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0009】上記のスイッチング素子S1～S4、S8、S11～S17及びS21～S23のオンオフは図示しない制御回路によって制御される。図2の各スイッチング素子の矢印が制御回路からの制御信号端子である。なお、Y行電極ドライバ4において電源B3、スイッチング素子S11～S15、コイルL3、L4、ダイオードD3、D4及びコンデンサC2がサスティンドライバ部を構成し、電源B4、抵抗R2及びスイッチング素子S16がリセットドライバ部を構成し、残りの電源B5、B6、スイッチング素子S13、S17、S21、S22及びダイオードD5、D6がスキन्दライバ部を構成している。

【0010】次に、かかる構成のPDP駆動装置の動作について図3のタイミングチャートを参照しつつ説明する。PDP駆動装置の動作はリセット期間、アドレス期間及びサスティン期間からなる。まず、リセット期間になると、Y行電極ドライバ4のスイッチング素子S23がオンとなる。スイッチング素子S23はリセット期間及びサスティン期間においてオンとなる。また、同時にX行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16がオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子S8、抵抗R1を介して電極X<sub>i</sub>に電流が流れ、またスイッチング素子S16のオンにより電極Y<sub>i</sub>からダイオードD5、抵抗R2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。電極X<sub>i</sub>の電位はコンデンサC0と抵抗R1との時定数により徐々に上昇してリセットパルスPR<sub>i</sub>となり、電極Y<sub>i</sub>の電位はコンデンサC0と抵抗R2との時定数により徐々に低下してリセットパルスPR<sub>i</sub>となる。このリセットパルスPR<sub>i</sub>は電極X<sub>i</sub>～X<sub>n</sub>の全てに同時に印加され、リセットパルスPR<sub>i</sub>も電極Y<sub>i</sub>～Y<sub>n</sub>毎に生成

されて電極Y<sub>i</sub>～Y<sub>n</sub>全てに同時に印加される。

【0011】これらリセットパルスPR<sub>i</sub>及びPR<sub>i</sub>の同時印加により、PDP1の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8及びスイッチング素子S16はリセットパルスPR<sub>i</sub>及びPR<sub>i</sub>のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極X<sub>i</sub>及びY<sub>i</sub>は共にアースされる。これによりリセットパルスPR<sub>i</sub>及びPR<sub>i</sub>は消滅する。

【0012】次に、アドレス期間が開始されると、スイッチング素子S14及びS15がオフとなり、スイッチング素子S23がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17のオンにより電源B5と電源B6とが直列に接続された状態となり、電源B6の負端子には電圧V<sub>0</sub>とV<sub>11</sub>との差を示す負電位が生じ、それが電極Y<sub>i</sub>に印加される。

【0013】アドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスDP<sub>i</sub>～DP<sub>n</sub>に変換し、これを1行分毎に、上記列電極D<sub>i</sub>～D<sub>n</sub>に順次印加する。図3に示すように電極Y<sub>i</sub>、Y<sub>11</sub>に対しては画素データパルスDP<sub>i</sub>、DP<sub>11</sub>が印加される。

【0014】Y行電極ドライバ4は、正電圧のブライミングパルスPPを行電極Y<sub>i</sub>～Y<sub>n</sub>に順次印加して行く。更に、各ブライミングパルスPPの印加直後でありかつ上記画素データパルス群DP<sub>i</sub>～DP<sub>n</sub>各々のタイミングに同期させて負電圧の走査パルスSPを行電極Y<sub>i</sub>～Y<sub>n</sub>に順次印加して行く。電極Y<sub>i</sub>について説明すると、ブライミングパルスPPを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオンのままである。これにより電源B5の正端子の電位V<sub>11</sub>がスイッチング素子S17、そしてスイッチング素子S21を介して電極Y<sub>i</sub>にブライミングパルスPPとして印加される。ブライミングパルスPPの印加後、アドレスドライバ2からの画素データパルスDP<sub>i</sub>の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B6の負端子の電圧V<sub>0</sub>とV<sub>11</sub>との差を示す負電位が電極Y<sub>i</sub>に走査パルスSPとして印加される。そして、アドレスドライバ2からの画素データパルスDP<sub>i</sub>の印加の停止に同期してスイッチング素子S21がオンとなり、スイッチング素子S22がオフとなり、電源B5の正端子の電位V<sub>11</sub>がスイッチング素子S17、そしてスイッチング素子S21を介して電極Y<sub>i</sub>に印加される。その後、電極Y<sub>11</sub>についても図3に示すように、電極Y<sub>i</sub>と同様にブ

ライミングパルスPPが印加され、アドレスドライバ2からの画素データパルスDP<sub>111</sub>の印加に同期して走査パルスSPが印加される。

【0015】走査パルスSPが印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスSPが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。

【0016】アドレス期間からサステイン期間に切り替わる時には、スイッチング素子S17、S21はオフとなり、代わってスイッチング素子S14及びS15がオンとなる。スイッチング素子S4のオン状態は継続される。サステイン期間において、X行電極ドライバ3では、スイッチング素子S4のオンにより電極X<sub>i</sub>の電位はほぼ0Vのアース電位となる。次に、スイッチング素子S4がオフとなり、スイッチング素子S1がオンになると、コンデンサC1に蓄えられている電荷によりコイルL1、ダイオードD1、そしてスイッチング素子S1を介して電流が電極X<sub>i</sub>に達してコンデンサC0に流れ込み、コンデンサC0を充電させる。このとき、コイルL1及びコンデンサC0の時定数により電極X<sub>i</sub>の電位は図3に示すように徐々に上昇する。

【0017】次いで、スイッチング素子S1がオフとなり、スイッチング素子S3がオンとなる。これにより、電極X<sub>i</sub>には電源B1の正端子の電位V<sub>11</sub>が印加される。その後、スイッチング素子S3がオフとなり、スイッチング素子S2がオンとなり、コンデンサC0に蓄積された電荷により電極X<sub>i</sub>からコイルL2、ダイオードD2、そしてスイッチング素子S2を介してコンデンサC1に電流が流れ込む。このとき、コイルL2及びコンデンサC1の時定数により電極X<sub>i</sub>の電位は図3に示すように徐々に低下する。電極X<sub>i</sub>の電位がほぼ0Vに達すると、スイッチング素子S2がオフとなり、スイッチング素子S4がオンとなる。

【0018】かかる動作によってX行電極ドライバ3は図3に示した如き正電圧の維持放電パルスIP<sub>i</sub>を電極X<sub>i</sub>に印加する。維持放電パルスIP<sub>i</sub>が消滅するスイッチング素子S4のオン時に同時に、Y行電極ドライバ4ではスイッチング素子S11がオンとなり、スイッチング素子S14がオフとなる。スイッチング素子S14がオンであったときには電極Y<sub>j</sub>の電位はほぼ0Vのアース電位となっているが、スイッチング素子S14がオフとなり、スイッチング素子S11がオンになると、コンデンサC2に蓄えられている電荷によりコイルL3、ダイオードD3、スイッチング素子S11、スイッチング素子S15、スイッチング素子S13、そしてダイオード

D6を介して電流が電極Y<sub>j</sub>に達してコンデンサC0に流れ込み、コンデンサC0を充電させる。このとき、コイルL3及びコンデンサC0の時定数により電極Y<sub>j</sub>の電位は図3に示すように徐々に上昇する。

【0019】次いで、スイッチング素子S11がオフとなり、スイッチング素子S13がオンとなる。これにより、電極Y<sub>j</sub>には電源B3の正端子の電位V<sub>11</sub>が印加される。その後、スイッチング素子S13がオフとなり、スイッチング素子S12がオンとなり、コンデンサC0に蓄積された電荷により電極Y<sub>j</sub>からダイオードD5、スイッチング素子S15、コイルL4、ダイオードD4、そしてスイッチング素子S12を介してコンデンサC2に電流が流れ込む。このとき、コイルL4及びコンデンサC2の時定数により電極Y<sub>j</sub>の電位は図3に示すように徐々に低下する。電極Y<sub>j</sub>の電位がほぼ0Vに達すると、スイッチング素子S12がオフとなり、スイッチング素子S14がオンとなる。

【0020】かかる動作によってY行電極ドライバ4は図3に示した如き正電圧の維持放電パルスIP<sub>j</sub>を電極Y<sub>j</sub>に印加する。このように、サステイン期間においては、維持放電パルスIP<sub>i</sub>と維持放電パルスIP<sub>j</sub>とが交互に生成して電極X<sub>i</sub>～X<sub>n</sub>と電極Y<sub>j</sub>～Y<sub>m</sub>とに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

【0021】

【発明が解決しようとする課題】上記した従来のPDP駆動装置において、スキヤンドライバ部はスイッチング素子S21としてPMOS-FET又はNMOSを用い、スイッチング素子S22としてNMOS-FETを用いて、それらの直列接続によりその接続点を電極Y<sub>j</sub>への出力とする構成となっているが、この場合、スイッチング素子S21を構成するFETのオン抵抗は高いので、その駆動能力はスイッチング素子S22を構成するFETのそれに比べて著しく劣ることになる。よって、サステイン期間にサスティンドライバ部による維持放電パルス電流をスイッチング素子S21を介して電極Y<sub>j</sub>へ供給することができないので、スイッチング素子S13によるバイパス回路を介して維持放電パルス電流をPDP電極Y<sub>j</sub>へ供給することが行なわれ、回路規模が大きくなり、コスト高になるという問題点があった。

【0022】そこで、本発明の目的は、回路規模が大きくなることなくサステイン期間にPDPへ維持放電パルス電流を供給することができるPDP駆動装置を提供することである。

【0023】

【課題を解決するための手段】本発明のPDP駆動装置は、複数の行電極対と、行電極対に交差して配列されており各交差部にて放電セルを形成する複数の列電極とを有するプラズマディスプレイパネルを駆動する駆動装置

7  
であって、発光セル及び非発光セルを選択するために行電極対の一方に走査パルスを提供するスキャンドライバと、発光セルのみを発光維持するために行電極対の一方に維持放電パルスを提供する維持放電ドライバとを備え、スキャンドライバは行電極対の一方に各々の一端が共通接続された2つのスイッチング素子を有し、スキャンドライバの作動時には2つのスイッチング素子のうちの一方の他端に第1電位が印加され、2つのスイッチング素子のうちの他方の他端に第1電位より低く走査パルスの電位に等しい第2電位が印加され、維持放電ドライバの作動時に維持放電ドライバの出力が他方のスイッチング素子の他端に電気的に接続されることを特徴としている。

【0024】本発明によれば、維持放電ドライバから出力された維持放電パルスは他方のスイッチング素子を介して行電極対の一方に供給される。

【0025】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ詳細に説明する。図4は、本発明によるPDP駆動装置の構成を示しており、図1及び図2に示した従来装置と同一部分は同一符号を用いて示している。この図4のPDP駆動装置においては、スイッチング素子S15に接続されている接続ライン13には電源B6の負端子が接続されている。電源B6の正端子はスイッチング素子S21を介して電極Y<sub>i</sub>への接続ライン14に接続され、接続ライン13と接続された電源B6の負端子はスイッチング素子S22を介して接続ライン14に接続されている。スイッチング素子S21にはダイオードD5が並列に接続され、またスイッチング素子S22にはダイオードD6が並列に接続されている。ダイオードD5は接続ライン14側をアノードとし、ダイオードD6は接続ライン14側をカソードとして接続されている。

【0026】電源B5は図2の従来装置とは正負端子を逆にして接続されており、電圧V<sub>rr</sub>として例えば、10～20Vを発生する。その他の構成は図1及び図2に示した従来装置と同一であるので、ここでの説明を省略する。次に、かかる構成の本発明によるPDP駆動装置の動作について図5のタイミングチャートを参照しつつ説明する。このPDP駆動装置の動作がリセット期間、アドレス期間及びサスティン期間からなることは図2の従来装置と同様である。

【0027】まず、リセット期間になると、X行電極ドライバ3のスイッチング素子S8がオンとなり、Y行電極ドライバ4のスイッチング素子S16、S22が共にオンとなる。その他のスイッチング素子はオフである。スイッチング素子S8のオンにより電源B2の正端子からスイッチング素子8、抵抗R1を介して電極X<sub>i</sub>に電流が流れ、またスイッチング素子S16、S22のオンにより電極Y<sub>i</sub>からスイッチング素子S22、抵抗R

2、スイッチング素子S16を介して電源B4の負端子に電流が流れ込む。電極X<sub>i</sub>の電位はコンデンサC0と抵抗R1との時定数により徐々に上昇してリセットパルスPR<sub>i</sub>となり、電極Y<sub>i</sub>の電位はコンデンサC0と抵抗R2との時定数により徐々に低下してリセットパルスPR<sub>i</sub>となる。リセットパルスPR<sub>i</sub>は最終的に電圧V<sub>rr</sub>となり、リセットパルスPR<sub>i</sub>は最終的に電圧-V<sub>rr</sub>となる。このリセットパルスPR<sub>i</sub>は電極X<sub>i</sub>～X<sub>n</sub>の全てに同時に印加され、リセットパルスPR<sub>i</sub>も電極Y<sub>i</sub>～Y<sub>n</sub>毎に生成されて電極Y<sub>i</sub>～Y<sub>n</sub>全てに同時に印加される。

【0028】これらリセットパルスPR<sub>i</sub>及びPR<sub>j</sub>の同時印加により、PDP1の全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。スイッチング素子S8、S16、S22はリセットパルスPR<sub>i</sub>及びPR<sub>j</sub>のレベルが飽和した後、リセット期間終了以前にオフとなる。また、この時点にスイッチング素子S4、S14及びS15がオンとなり、電極X<sub>i</sub>及びY<sub>i</sub>は共にアースされる。これによりリセットパルスPR<sub>i</sub>及びPR<sub>j</sub>は消滅する。

【0029】次に、アドレス期間が開始されると、スイッチング素子S14及びS15がオフとなり、スイッチング素子S17がオンとなり、同時にスイッチング素子S22がオンとなる。スイッチング素子S17及びS22のオンにより電源B5の負端子の負電位-V<sub>rr</sub>がスイッチング素子S17、そしてスイッチング素子S22を介して電極Y<sub>i</sub>に印加される。

【0030】アドレス期間においてアドレスドライバ2は映像信号に基づく各画素毎の画素データを、その論理レベルに応じた電圧値を有する画素データパルスDP<sub>i</sub>～DP<sub>n</sub>に変換し、これを1行分毎に、上記列電極D<sub>i</sub>～D<sub>n</sub>に順次印加する。図5に示すように電極Y<sub>i</sub>、Y<sub>j</sub>…に対しては画素データパルスDP<sub>i</sub>、DP<sub>j</sub>…が印加される。

【0031】Y行電極ドライバ4は、正電圧のブライミングパルスPPを行電極Y<sub>i</sub>～Y<sub>n</sub>に順次印加して行く。更に、各ブライミングパルスPPの印加直後でありかつ上記画素データパルス群DP<sub>i</sub>～DP<sub>n</sub>各々のタイミングに同期させて負電圧の走査パルスSPを行電極Y<sub>i</sub>～Y<sub>n</sub>に順次印加して行く。電極Y<sub>i</sub>について説明すると、ブライミングパルスPPを生成する際には、スイッチング素子S21がオンとなり、スイッチング素子S22がオフとなる。また、スイッチング素子S17はオンのままである。これにより電源B6と電源B5とはスイッチング素子S17を介して直列に接続された状態となるので、電源B6の正端子の電位はV<sub>rr</sub>-V<sub>rr</sub>（例えば、140V）となる。この正電位がスイッチング素子S21を介して電極Y<sub>i</sub>にブライミングパルスPPとして印加される。

【0032】ブライミングパルスPPの印加後、アドレ

ストライバ2からの画素データパルスDP<sub>i</sub>の印加に同期してスイッチング素子S21がオフとなり、スイッチング素子S22がオンとなる。これにより電源B5の負端子の負電位 $-V_{...}$ がスイッチング素子S17、そしてスイッチング素子S22を介して電極Y<sub>i</sub>に走査パルスSPとして印加される。そして、アドレスドライバ2からの画素データパルスDP<sub>i</sub>の印加の停止に同期してスイッチング素子S21がオンとなり、スイッチング素子S22がオフとなり、電源B6の正端子の電位V<sub>...</sub>がスイッチング素子S21を介して電極Y<sub>i</sub>に印加される。その後、電極Y<sub>i</sub>についても図5に示すように、電極Y<sub>i</sub>と同様にブライミングパルスPPが印加され、アドレスドライバ2からの画素データパルスDP<sub>i</sub>の印加に同期して走査パルスSPが印加される。

【0033】走査パルスSPが印加された行電極に属する放電セルの内では、正電圧の画素データパルスが更に同時に印加された放電セルにおいて放電が生じ、その壁電荷の大半が失われる。一方、走査パルスSPが印加されたものの正電圧の画素データパルスが印加されなかった放電セルでは放電が生じないので、上記壁電荷が残留したままとなる。この際、壁電荷が残留したままとなった放電セルは発光放電セル、壁電荷が消滅してしまった放電セルは非発光放電セルとなる。

【0034】アドレス期間からサステイン期間に切り替わる時には、スイッチング素子S17、S21はオフとなり、代わってスイッチング素子S14及びS15がオンとなる。スイッチング素子S4のオン状態は継続される。サステイン期間におけるX行電極ドライバ3の動作は、図2に示した従来装置の場合と同一であるので、動作説明を省略するが、X行電極ドライバ3は図5に示した如き正電圧の維持放電パルスIP<sub>x</sub>を電極X<sub>i</sub>に印加する。

【0035】Y行電極ドライバ4では、維持放電パルスIP<sub>y</sub>が消滅するスイッチング素子S4のオン時に同時に、スイッチング素子S11がオンとなり、スイッチング素子S14がオフとなる。スイッチング素子S14がオンであったときには電極Y<sub>i</sub>の電位はほぼ0Vのアース電位となっているが、スイッチング素子S14がオフとなり、スイッチング素子S11がオンになると、コンデンサC2に蓄えられている電荷によりコイルL3、ダイオードD3、スイッチング素子S11、スイッチング素子S15、そしてダイオードD6を介して電流が電極Y<sub>i</sub>に流れてコンデンサC0に流れ込み、コンデンサC0を充電させる。このとき、コイルL3及びコンデンサ

C0の時定数により電極Y<sub>i</sub>の電位は図5に示すように徐々に上昇する。

【0036】次いで、スイッチング素子S11がオフとなり、スイッチング素子S13がオンとなる。これにより、電極Y<sub>i</sub>には電源B3の正端子の電位V<sub>...</sub>がスイッチング素子S13、スイッチング素子S15、そしてダイオードD6を介して印加される。その後、スイッチング素子S13がオフとなり、スイッチング素子S12がオンとなり、更にスイッチング素子S22がオンとなり、コンデンサC0に蓄積された電荷により電極Y<sub>i</sub>からスイッチング素子S22、スイッチング素子S15、コイルL4、ダイオードD4、そしてスイッチング素子S12を介してコンデンサC2に電流が流れ込む。このとき、コイルL4及びコンデンサC2の時定数により電極Y<sub>i</sub>の電位は図5に示すように徐々に低下する。電極Y<sub>i</sub>の電位がほぼ0Vに達すると、スイッチング素子S12及びS22がオフとなり、スイッチング素子S14がオンとなる。

【0037】かかる動作によってY行電極ドライバ4は図5に示した如き正電圧の維持放電パルスIP<sub>y</sub>を電極Y<sub>i</sub>に印加する。このように、サステイン期間においては、維持放電パルスIP<sub>x</sub>と維持放電パルスIP<sub>y</sub>とが交互に生成して電極X<sub>i</sub>～X<sub>n</sub>と電極Y<sub>i</sub>～Y<sub>n</sub>とに交互に印加されるので、上記壁電荷が残留したままとなっている発光放電セルは放電発光を繰り返しその発光状態を維持する。

【0038】

【発明の効果】以上の如く、本発明によれば、スイッチング素子によるバイパス回路を介することなくサステイン期間にPDPへ維持放電パルス電流を供給することができるので、回路規模が増大することを防止することができる。

【図面の簡単な説明】

【図1】PDP駆動装置を示すブロック図である。

【図2】従来の駆動装置の構成を示す回路図である。

【図3】図2の装置の各部のタイムチャートである。

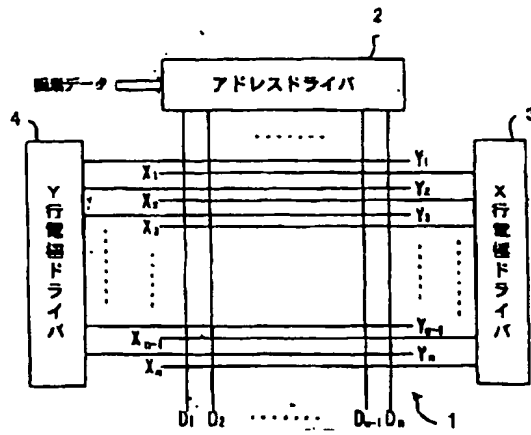
【図4】本発明の実施例を示す回路図である。

【図5】図4の装置の各部のタイムチャートである。

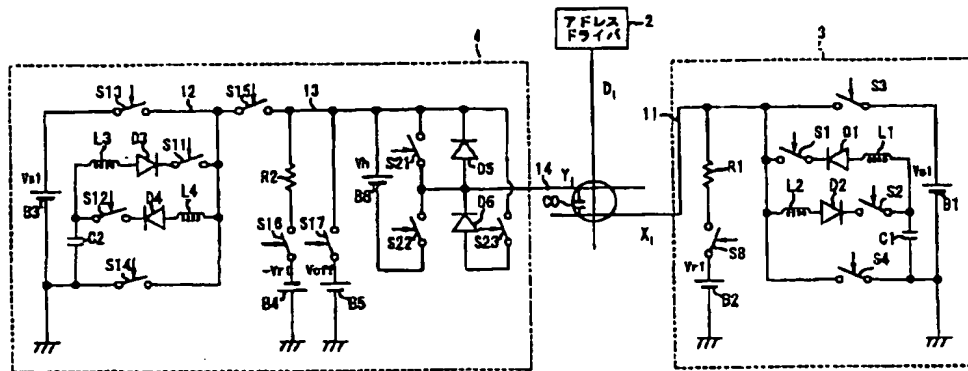
【符号の説明】

- 1 PDP
- 2 アドレスドライバ
- 3 X行電極ドライバ
- 4 Y行電極ドライバ

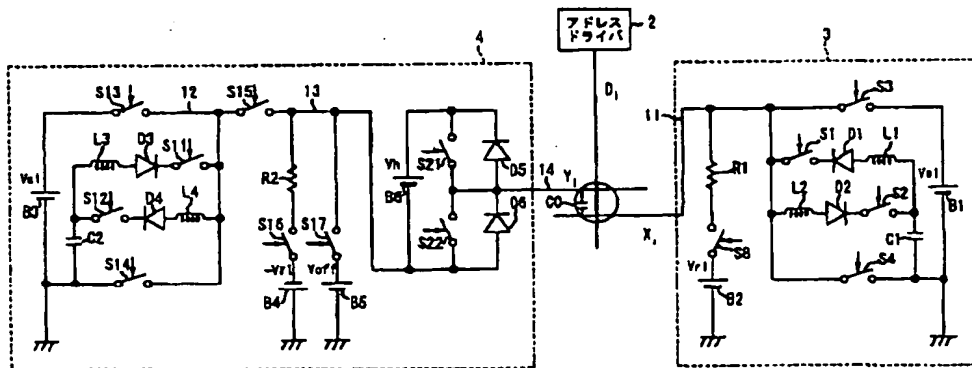
【図 1】



【図 2】

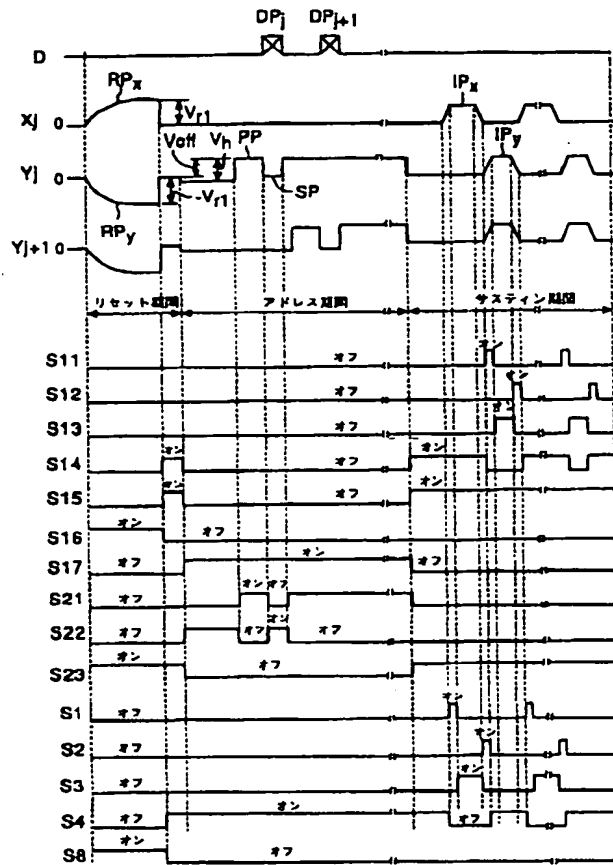


【図 4】





【図 3】



【図 5】

